

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-037484

(43)Date of publication of application : 07.02.2003

(51)Int.Cl.

H03K 5/04
 B41J 2/44
 H01S 5/062
 H01S 5/0683
 H03F 3/45

(21)Application number : 2001-220580

(71)Applicant : FUJI XEROX CO LTD

(22)Date of filing : 19.07.2001

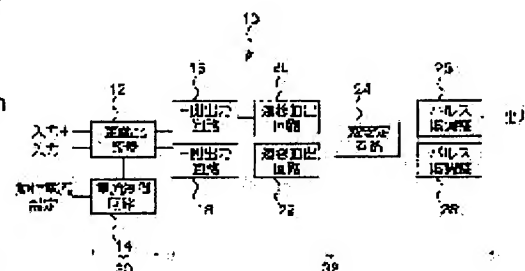
(72)Inventor : IKEDA CHIKAO
MORIYA HIDEKI

(54) SIGNAL PROCESSOR, AND LASER DRIVER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a signal processor, which can suppress ripples of pulse width in a generated modulation signal, and a laser driver.

SOLUTION: An LVDS receiving circuit 10 is equipped with a differential comparator 12, to which a current control circuit 14 for setting an operation current is connected and also a differential signal is to be inputted, and the differential output signal on plus side is inputted into the plus input side of a bistable circuit 24, with their start and down components being extracted with a plus-side output circuit 16 and a transition output circuit 20, and the differential output signal on negative side is inputted into the negative input side of the bistable circuit 24, with their start and down components extracted with a negative-side output circuit 18 and a transition output circuit 22, and in the bistable circuit 24, a pulse signal without ripples in duty ratio is generated, and a signal, whose pulse width is adjusted with a pulse width adjusting circuit 26 is outputted.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-37484

(P2003-37484A)

(43) 公開日 平成15年2月7日(2003.2.7)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)	
H 0 3 K	5/04	H 0 3 K	5/04	2 C 3 6 2
B 4 1 J	2/44	H 0 1 S	5/062	5 F 0 7 3
H 0 1 S	5/062		5/0683	5 J 0 0 1
	5/0683	H 0 3 F	3/45	A 5 J 0 6 6
H 0 3 F	3/45	B 4 1 J	3/00	M
審査請求 未請求 請求項の数12 O L (全 20 頁)				

(21) 出願番号 特願2001-220580(P2001-220580)

(22) 出願日 平成13年7月19日(2001.7.19)

(71) 出願人 000005496

富士ゼロックス株式会社

東京都港区赤坂二丁目17番22号

(72) 発明者 池田 周穂

神奈川県海老名市本郷2274番地 富士ゼロックス株式会社海老名事業所内

(72) 発明者 守屋 秀樹

神奈川県海老名市本郷2274番地 富士ゼロックス株式会社海老名事業所内

(74) 代理人 100079049

弁理士 中島 淳 (外3名)

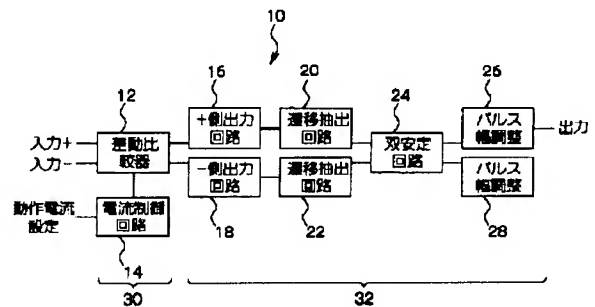
最終頁に続く

(54) 【発明の名称】 信号処理装置、及びレーザ駆動装置

(57) 【要約】

【課題】 生成される変調信号のパルス幅変動を抑制することができる信号処理装置、及びレーザ駆動装置を得る。

【解決手段】 L V D S 受信回路10は、動作電流を設定するための電流制御回路14が接続されかつ差動信号が入力される差動比較器12を備え、プラス側の差動出力信号が+側出力回路16及び遷移出力回路20で立ち上がりまたは立ち下がり成分が抽出されて双安定回路24のプラス入力側に入力され、マイナス側の差動出力信号が-側出力回路18及び遷移出力回路22で立ち上がりまたは立ち下がり成分が抽出されて双安定回路24のマイナス入力側に入力され、双安定回路24において、デューティに変動がないパルス信号が生成され、パルス幅調整回路26でパルス幅が調整された信号が出力される。



【特許請求の範囲】

【請求項 1】 入力された差動入力信号を差動増幅しかつ相補性を維持しつつ差動出力信号を出力する差動増幅手段と、前記差動出力信号の各々について信号変動特性が同一方向性となる成分に基づいてパルス信号を生成する波形処理手段と、を備えた信号処理装置。

【請求項 2】 前記波形処理手段は、前記信号変動特性が同一方向性となる成分を抽出する抽出手段と、抽出した成分に基づいてパルス信号を生成する生成手段とを含むことを特徴とする請求項 1 に記載の信号処理装置。

【請求項 3】 前記差動増幅手段は、前記差動入力信号を差動増幅しかつ相補性を維持するために、電気回路構成を対称に構成した複数の受信回路を含むことを特徴とする請求項 1 または 2 に記載の信号処理装置。

【請求項 4】 前記抽出手段は、前記差動出力信号の立ち上がり成分同士または立下り成分同士を抽出することを特徴とする請求項 2 または請求項 3 に記載の信号処理装置。

【請求項 5】 前記波形処理手段は、前記抽出した成分同士のタイミング差に応じたパルス幅を有するパルス信号を生成することを特徴とする請求項 2 に記載の信号処理装置。

【請求項 6】 前記生成手段は、双安定回路であることを特徴とする請求項 2 に記載の信号処理装置。

【請求項 7】 前記波形処理手段は、前記生成されたパルス信号のパルス幅を調整する調整手段を含むことを特徴とする請求項 1 乃至請求項 6 の何れか 1 項に記載の信号処理装置。

【請求項 8】 前記差動増幅手段は、前記差動増幅のための動作電流を可変する可変手段を含むことを特徴とする請求項 1 乃至請求項 7 の何れか 1 項に記載の信号処理装置。

【請求項 9】 前記差動増幅手段は、画像形成のためのレーザ駆動信号が前記差動入力信号として入力されることを特徴とする請求項 1 乃至請求項 8 の何れか 1 項に記載の信号処理装置。

【請求項 10】 請求項 6 に記載の信号処理装置を備え、前記生成手段を構成する双安定回路の差動出力信号のうち一方の出力信号に基づいて、画像形成のためのレーザを駆動する駆動手段を含むレーザ駆動装置。

【請求項 11】 請求項 6 に記載の信号処理装置を備え、前記生成手段を構成する双安定回路の差動出力信号に基づいて、画像形成のためのレーザを差動駆動する差動駆動手段を含むレーザ駆動装置。

【請求項 12】 面発光レーザを駆動するために、複数の発光部位に対応する数の前記請求項 1 乃至請求項 9 の何れか 1 項に記載の信号処理装置を備えた受信処理回路と、前記パルス信号により面発光レーザの発光の各々を

制御するレーザ駆動回路と、を備えたレーザ駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、信号処理装置、及びレーザ駆動装置にかかり、特に、レーザゼログラフィなどの画像形成装置に用いられる面発光レーザなどのレーザ光源の駆動装置に関し、詳細には面発光レーザの変調信号を L V D S などの低電圧差動伝送器を用いて伝送する信号処理装置、及びレーザ駆動装置に関する。

【0002】

【従来の技術】従来、高速伝送や E M C 対策のため専用の I C を用いた L V D S (Low Voltage Differential Signaling: 低電圧差動伝送) で信号を伝送することが実施されている。高速伝送や E M C 対策のために、レーザゼログラフィなどのレーザビームによる画像形成を行う画像形成装置のレーザ駆動装置に、L V D S により信号を伝送してレーザ光源を駆動することの適用が考えられている。

【0003】例えば、レーザゼログラフィなどの画像形成装置に用いるレーザ光源は端面発光タイプで 1 チップあたりのビーム数は 1 ~ 4 本と少なく、信号伝送に L V D S を用いることでコスト上昇に直接つながることはなかった。

【0004】ところで、最近では、面発光レーザを用いレーザゼログラフィへの適用が検討されている。面発光レーザは多数の光ビームを容易に放射できるため、多数の光ビームを同時に変調して走査すれば描画速度を犠牲にすることなく、容易に解像度を向上させることができる。

【0005】しかしながら、このような用途で多数の変調信号を L V D S で伝送すると L V D S の I C コストがビーム数に比例して上昇する。この対策として変調信号を作る I C に L V D S の送信回路 (driver) を内蔵し、レーザ駆動 I C 側に L V D S の受信回路 (receiver) を内蔵することでコスト増を抑えることが行われている。

【0006】ところが、一般に低消費電力の L V D S であってもチャンネル数が多いため、そのビーム数が増加すると、I C の電力許容損失をオーバーすることがある。従って、L V D S を内蔵する場合には消費電力を抑えながら駆動する必要がある。この場合、L V D S の伝送周波数はレーザゼログラフィなどの画像形成装置の場合、プリント速度やビーム数、解像度などによって変化する。従って、1 つのレーザ駆動用の I C で全ての変調速度に対応させようとする、最も早い変調速度にしなければならない。消費電力と速度とは相反関係にあるので、変調速度を高速化すると L V D S の消費電力が増大する。このため、限られた消費電力で回路設計する場合、肝心のレーザ駆動回路のチャンネル数を減少させる必要がある。

【0007】減少させたチャンネル数に用途が限定され

ると、多数のチャンネル数に適用するには複数のレーザ駆動ICを用いるためにコスト高になり、さらに複数ICの使用による配線の引き回しが長くなり変調特性も犠牲になる。従って、LVDSの動作電流を実際変調に必要な応答性を確保できるレベルに外部から設定できるのが望ましい。このように動作電流を外部で制御する方法は従来よりプログラマブルオペアンプで実施されていた。

【0008】図16はNational Semiconductors社のLM146を用いたアプリケーション例(A)と、その内部回路図(B)であるが差動段の電流を外部から設定可能にしている。この回路では、Resetの値を変更することで、差動回路の動作電流を調整できるようにしている。LVDSの受信部もこれと同様に基本的には差動回路であり同様の方法で消費電流を外部から制御することが可能である。また、LVDSの受信側の回路例としては、図17に示すインタフェース回路が知られている(特開平9-74340号公報参照)。

【0009】本発明者は、図17のインタフェース回路を模擬するため、図18に示す等価回路を用いて、消費電流の変化に対する伝送信号への影響をシミュレーションし、その結果を図19、図20に示した。図19は、図18の回路図において電流源100に流す電流を制御することでトランジスタM103、M104で構成する差動段への電流を2mAに設定した場合を示し、図20は、0.6mAに設定した場合の波形を示している。

【0010】図17のLVDSの受信側の回路は、図15に示す概念ブロック図で表現することができる。LVDSの入力信号は、デューティ50%の反転信号である、入力+と入力-として示されており、これらの入力信号は、差動比較器120へ入力される。差動比較器120では、入力された入力+と入力-との信号の比較信号を出力し、その比較信号を入力信号とする+側出力回路122は+側の信号(パルス信号)を出力する。

【0011】差動比較器120は後述するトランジスタM101、M102、M103、M104、M105、M106、M107、M108から構成され、+側出力回路122は、後述するトランジスタM109、M110、M113、M114から構成される。

【0012】図18の回路では、トランジスタM105、M106、M107、M108、M109、M110のソースが電源IACの一方及び電源BT1、BT2のマイナス側に接続される。トランジスタM106のゲート及びドレイン、M108のゲートは共通に接続され、トランジスタM105のゲート及びドレイン、M107のゲート側は共通に接続される。トランジスタM108のドレインはトランジスタM105のドレインに接続され、トランジスタM107のドレインはトランジスタM106のドレインに接続される。トランジスタM109のゲートはトランジスタM105のドレインに接続され、ドレインはトランジスタM113のドレインに接

続される。トランジスタM110のゲートはトランジスタM106のドレインに接続され、ドレインはトランジスタM114のドレインに接続される。

【0013】トランジスタM101、M102、M113、M114のソースは、電源BT1のプラス側に接続される。トランジスタM114のゲート及びドレインは、トランジスタM113のゲートに接続され、トランジスタM102のゲート及びドレイン、トランジスタM101のゲートは電源IACの他方に接続される。トランジスタM103、M104のソースは共通に接続され、トランジスタM104のドレインはトランジスタM106のドレインに接続され、トランジスタM103のドレインはトランジスタM105のドレインに接続される。トランジスタM104のゲートは抵抗RAを介して電源BT2のプラス側に接続され、トランジスタM103のゲートは抵抗RBを介して電源BT2のプラス側に接続される。

【0014】トランジスタM113のドレインとトランジスタM109ドレインとの接続点OUTPUT_Xは複数のインバータを介して出力点OUTPUT_Yに接続される。

【0015】図19(A)及び図20(A)は、トランジスタM104のゲートの端子INM_Zにおける信号波形(すなわちLVDSの-側入力)と、トランジスタM103のゲートの端子INP_Zにおける信号波形(すなわちLVDSの+側入力)との2つの信号波形を重ねて示したものである。この信号波形では、デューティ(duty)が50%で振幅が200mVとした場合を示した。図19(B)及び図20(B)には、接続点OUTPUT_Xにおける信号波形(すなわちLVDS受信回路の出力波形)を示し、図19(C)及び図20(C)には、出力点OUTPUT_Yにおける信号波形(すなわちインバータ4段で波形整形したあとの出力信号波形)を示した。

【0016】図19及び図20から理解されるように、差動段の電流が増大すると、応答速度が速くなりパルス信号のデューティが入力信号である端子INP_Z、端子INM_Zの信号波形のデューティ50%に近づいていく。

【0017】しかしながら、差動段に2mAを流しても出力点OUTPUT_Yにおける信号ではデューティが50%から大きくずれている。すなわち、デューティを受信回路の入力と出力とで一致させることは容易ではない。さらに、デューティは差動段の電流に依存して変化するため受信回路の入出力パルス幅を一致させることが困難である。

【0018】このように受信回路の入出力回路のパルス幅が不一致となるのはLVDSの用途対象が通常のデジタル回路であり、ここでは入出力間のパルス幅精度が必ずしも重要ではないからである。LVDSの受信回路

(レシーバ)のスペックシートではスキュー(Skew)と遅延時間(delay)が問題とされスペックも決められている。これはデジタル回路にとって重要なのが設定時間(setup時間)と維持時間(hold時間)であって、これらの仕様を満足しているかを確認するにはスキューと遅延時間で足りるからである。入出力間のパルス幅にずれがあったとしてもこれらの仕様を満足している限りにおいてデジタル回路で問題が生じることはない。

【0019】しかしながら、レーザゼログラフィなどの画像形成装置の変調信号伝送にLVDSを用いた場合には、パルス幅の精度が重要となる。レーザゼログラフィなどの画像形成装置で濃度を制御する場合、階調表現には面積階調を用いる。この面積階調を用いた場合の濃度むらを説明する。

【0020】図21には、レーザ露光をして形成される濃度がレベル3からレベル6へ段階的に変更(濃度増加)されるときに、実際に露光されるレーザのパターンを示した。図21(A)はレベル3、図21(B)はレベル4、図21(C)はレベル5、図21(D)はレベル6の状態を示した。

【0021】図21では、1レベルで1ドットが形成される場合を示し、立ち下がり遅延または立ち上がり遅延では0.5ドットに相当するドット形成の減少が生じる場合を示した。また、ドット形成では、網点スクリーンと同様の挙動を作用させるために、中心から点を広げるように露光させる。これは、面積階調では仮想的なエリアの中の黒領域の大きさを変更して濃度を制御するので、ここでは、そのエリアの中をレーザは1回または複数回スキャンしながら露光する。具体的には、一定の長さ以上にレーザを露光したら場所を変えて(隣り合う画像形成領域に)露光エリアを拡大する。すなわち、図21の例では、レベル4までは同一走査上で露光し、レベル5以降でレベル4の露光の後に隣り合う領域にレベル4からの差分のレベルを露光する。

【0022】なお、このとき変調信号は理想的であってLVDSによる伝送でパルス幅が短く整形された場合、または逆に長く整形された場合を想定している。短く整形されるのは、図21の左側に示す立ち上がりが遅い場合であり、長く整形されるのは、図21の右側に示す立ち下がりが遅い場合に相当する。すなわち、信号の応答特性について立ち上がりに遅延が生じる状態Xを図中の左側、立ち上がり立ち下がり共に均等に遅延が生じる状態Yを図中の中心側、立ち下がりに遅延が生じる状態Zを図中の右側に示した。

【0023】上記の図21ではレーザ露光により濃度が増加する場合を想定しているが、濃度が減少する場合も同様である。図22には、最高濃度の領域に対して、レーザ露光をして形成される濃度がレベル3からレベル6へ段階的に変更(濃度減少)されるときに、実際に露光

されるレーザのパターンを示した。図22の例では、図21(A)～(D)と線対称のパターンになる。

【0024】このような伝送信号の特性に対する濃度の影響のうち単調性は、状態Yの均等であるときには確保される。また、状態Xの立ち上がりが遅いときはレベル3からレベル4へと濃度を上げた場合、全体濃度は薄くなるものの単調性は確保される。一方、レベル4からレベル5へと濃度を上げた場合、隣り合う領域への新規な露光を開始するので、立ち上がりが遅いことによる影響が2回の露光で各々1回生じ、合計2回分生じるために単調性が崩れる。また、状態Zの立ち下がりが遅いときも同様に、レベル4からレベル5へと濃度を上げた場合に単調性が崩れる。なお、レベル5からレベル6へと濃度を上げた場合では、単に長く露光するだけなので単調性は維持される。

【0025】上述の単調性は、レーザ露光(点灯)のデューティと露光比率との関係からも明らかにすることができる。図23には、レーザ露光のためのデューティと露光比率との関係を示した。図23ではレーザ露光により濃度が増加する場合の特性としてX状態(立ち上がりが遅い)を特性WU、Y状態(均等)を特性WF、Z状態(立ち下がりが遅い)を特性WDとして示し、濃度が減少する場合の特性としてX状態(立ち上がりが遅い)を特性BU、Y状態(均等)を特性BF、Z状態(立ち下がりが遅い)を特性BDとして示した。

【0026】すなわち、立ち上がりが遅い場合の特性WUから理解されるように、レーザ露光(点灯)のデューティに対する露光比率は変調信号(すなわちレーザ露光のデューティ)と共に増大するが、ドット形成による面積階調を実現するために隣り合う領域に露光を開始するたびに濃度のとびを生じることになる。この濃度のとびは、特にグラデーションを描画したときに顕著に現れる。

【0027】一方、立ち下がりが遅い場合の特性WDは逆にパルス幅が長くなっているため特性WUと逆の現象となるが、上記と同様に新規にレーザ露光を開始した時点で濃度のとびを生じる。一方、立ち上がりも立ち下がりも均等だった場合の特性WFには、遅延はあるもののパルス幅に変化は無いので濃度のとびも生じない。従って、LVDSを含めレーザ変調信号の伝送ではこの立ち上がりとなち下がりが均等になるように回路を設計する必要がある。

【0028】また、レーザドライバの応答性が悪いと、1ドット分のパルスが形成できない場合もある。この場合、図24に示すように、隣り合う露光のうち前の露光を1ドット削除して次の露光で2ドット分形成することで対応することが考えられるが、この方法でも同様に濃度のとびが生じる。

【0029】次に、レーザゼログラフィを対象に変調信号を差動で伝送する先行技術として特開平11-208

017を参考に従来技術の問題点を示す。この先行技術では、差動で入力された相補出力をそのままレーザ駆動用差動電流スイッチにまで導き、相補出力のままレーザを駆動するものである。この回路をシミュレーションするための実験回路を図9に示した。この先行技術では、明確にLVDS用レーザとは記述されたものが無いため、図2の画像信号5と画像信号(バー)6が入力された差動回路を抜き出し、この出力でレーザを駆動した場合について説明する。抜き出した差動回路は、図9の50gである。この先行技術の差動回路とはバイポーラとMOSの違いはあるが、差動回路の基本構成は共通である。これに inputsする差動信号は、パルス電流源50dの出力を抵抗50eと50fに供給して得られ、共通モード電圧源50cを中心に差動電圧8017-INPと8017-INMを発生する。さらに差動回路50gには差動段電流源の電流値を制御するためのカレントミラー回路50bが設けられている。なお、この電流源は差動回路の動作電流の違いがどのようにレーザ駆動に影響を与えるかを説明するためにこの先行技術とは別個に設けたものである。また、カレントミラー回路50bは差動段電流設定50aで電流を設定している。

【0030】差動段電流設定の電流源回路は、図2での吸い込み型電流源B1と極性を反転し、NMOSのかわりにPMOSを用いて吐き出し型としたものである。電源50cは、差動回路を動作させるための電源である。差動回路50gに差動信号が入力されると、差動回路50g中にある差動段負荷の2つの抵抗に差動電圧が発生し、この電圧8017-OUTMA、8017-OUTPAが波形整形回路51, 52を通り、レーザ駆動回路60にレーザ変調信号として供給される。レーザ駆動回路60には、2つの電流源があり、1つはバイアス電流源61aでそれを制御するためのレーザバイアス電流制御61bが設けられている。レーザバイアス電流制御61bは、図2の電流源B1と同一構成である。通常、バイアス電流源は、レーザを高速変調するために閾値電流よりも僅かに小さい値が設定される。もう1つは、レーザ駆動電流源62aでレーザを差動電流スイッチ63と併せて変調するための電流源であり、レーザ駆動電流制御62aで制御される。レーザ駆動電流制御62aも図2の電流源B1と同一構成である。差動電流スイッチは相補出力となっており、一方の出力DRV_OUTMCはレーザ65aに接続され、他方の出力DRV_OUTPCはダミーダイオード65bに接続される。

【0031】レーザとダミーダイオードの端子電圧は、駆動電流が流れた際になるべく等しくなるようにしてあり、これにより変調時のレーザ電流のひずみを抑えている。また、ダンピング抵抗64a、64bは、差動電流スイッチからレーザまでの配線が長い場合に生じやすいリンギングを抑えるために入れてある。レーザ65aで放射された光は、その一部が感光体へ導かれるが、一部

は、自動光量制御用受光器(フォトダイオード)に導かれる。フォトダイオード66aは電源66cのプラス側にカソードが接続され、アノードが負荷抵抗66bに接続される。レーザ65aが発光し、フォトダイオードに光が入射すると負荷抵抗66bに電流が流れ、その端子電圧VpOUTによって光量をモニタすることができ、自動光量制御時には、この出力が図6の基準電圧Vrefと比較されて、その比較結果が図6の比較器A2で増幅され、その出力でレーザ駆動電流制御62bを制御することでレーザ65aが一定光量となるように制御される。

【0032】この回路では相補出力でレーザ駆動の差動電流スイッチを駆動しているが、その相補出力のそれぞれを見ると、図10(C)(D)、図11(C)(D)に示す信号(図9の信号drv_outpbまたはdrv_outmb)と、図10(A)、図11(A)に示す入力パルス信号とのデューティがずれている。このため、電流スイッチに印加された際に両方のMOSトランジスタを同時にONしている期間(図10に示す時間t)が生じて波形ひずみ(図10に示す歪みZZ)を生じる。

【0033】図11はバッファ回路の電流を1mAから0.6mAに減少させた場合である。ここで、(A)は、図9における8017-INP、8017-INM、(B)は8017-OUTMA、8017-OUTPA、(C)はdrv_outpb、(D)はdrv_outmb、(E)はDRV_OUTMC、(F)はDRV_OUTPC、(G)はレーザ駆動電流I(pv)、(H)は受光器出力Vpoutである。この場合、差動電流を1mAから0.6mAに減少させることにより、図11(B)に示すように、信号波形がなまっている。この信号を波形整形すると、図11(C)に示すように、デューティが50%から大幅に減少している。そして、波形がなまることで、デューティが減少し、結果として、図11(H)の受光器出力歪みZyに示すように、波形が短くなる。すなわち、図11の場合、図10と比較して逆にONしている期間が減少することで、パルス幅が入力パルス幅よりも狭くなっている。この方式では相補信号で電流スイッチを駆動しているがパルス幅の再現性を確保する目的は達成できない。

【0034】

【発明が解決しようとする課題】上述のように、従来のLVDSを用いた回路では変調信号のデューティ(duty)が維持されないために、濃度のとびを生じることとなり、結果的には画質劣化につながる。

【0035】本発明は、上記事実を考慮して、生成される変調信号のパルス幅変動を抑制することができる信号処理装置、及びレーザ駆動装置を得ることが目的である。

【0036】

【課題を解決するための手段】本発明は、変調信号周波数に合わせてL V D Sの消費電流が変化した場合にもL V D Sの受信側の入出力間のパルス幅に変動が無いようにすることで濃度の変動を抑え濃度のとびを防止するためのものである。

【0037】例えば、L V D Sの受信回路は差動アンプでありプラス入力、マイナス入力に対称に構成する。これに加え出力側も対称にすることでQとQ b a rの対称波形の信号を生成する。QとQ b a rからその立ち上がり、または立下りを抽出して、その立ち上がり、または立下りでやはり2つの信号に対称に構成した双安定回路を設けて入力する。このような回路構成にするとL V D Sの一侧、+側信号双方の遷移に対し均等に双安定回路が反転するためL V D S入力のパルス幅がL V D S出力側で維持される。

【0038】詳細には、請求項1に記載の発明の信号処理装置は、入力された差動入力信号を差動増幅しかつ相補性を維持しつつ差動出力信号を出力する差動増幅手段と、前記差動出力信号の各々について信号変動特性が同一方向性となる成分に基づいてパルス信号を生成する波形処理手段と、を備えている。

【0039】本発明の信号処理装置は、差動増幅手段によって、入力された差動入力信号を差動増幅しかつ相補性を維持しつつ差動出力信号を出力する。すなわち、差動増幅手段は、例えば反転された一対のパルス信号などの差動入力信号を、増幅しその相補性を維持しつつ差動出力信号を出力する。この差動出力信号は、波形処理手段に入力され、波形処理手段では、差動出力信号の各々について信号変動特性が同一方向性となる成分に基づいてパルス信号を生成する。差動出力信号は、少なくとも相補性が維持されているので、一方の信号の傾向は他方の信号の傾向に対応している。すなわち、信号変動特性が対応している。そこで、一方の差動出力信号の信号変動特性の方向性は、他方の差動出力信号の信号変動特性の方向性と逆になる。従って、同一方向性となる成分、例えば形状が一致する成分や対応箇所を特定すれば、入力された差動入力信号に対応するパルス信号を生成することができる。

【0040】請求項2に記載の発明は、請求項1に記載の信号処理装置において、前記波形処理手段は、前記信号変動特性が同一方向性となる成分を抽出する抽出手段と、抽出した成分に基づいてパルス信号を生成する生成手段とを含むことを特徴とする。

【0041】波形処理手段では、各差動出力信号で信号変動特性が同一方向性となる成分に基づいてパルス信号を生成する。このパルス信号を生成するには、同一方向性となる成分を、抽出手段で抽出し、生成手段によって、前記抽出した成分に基づいてパルス信号を生成するようにすれば、抽出と生成を分離しているのでパルス信号を安定して生成できると共に、回路を容易に構成する

ことができる。

【0042】請求項3に記載の発明は、請求項1または2に記載の信号処理装置において、前記差動増幅手段は、前記差動入力信号を差動増幅しかつ相補性を維持するために、電気回路構成を対称に構成した複数の受信回路を含むことを特徴とする。

【0043】差動入力信号を差動増幅して相補性を維持するためには、差動入力信号の各々に対して同様の電気回路構成を用いることが好ましい。このため、同様の電気回路を対称に構成した複数の受信回路によって差動増幅手段を構成することで、容易に差動入力信号を差動増幅しかつ相補性を維持することができる。

【0044】請求項4に記載の発明は、請求項2または請求項3に記載の信号処理装置において、前記抽出手段は、前記差動出力信号の立ち上がり成分同士または立下り成分同士を抽出することを特徴とする。

【0045】波形処理手段では、各差動出力信号で信号変動特性が同一方向性となる成分に基づいてパルス信号を生成するが、その同一方向性となる成分としては、信号の立ち上がり成分または立ち下がり成分を用いることができる。この立ち上がり成分または立ち下がり成分を用いることで、信号変動特性の同一方向性成分を容易に求めることができる。この信号変動特性が同一方向性となる成分は微分回路を通過させて信号変動特性が同一方向性となる成分を生成することができる。

【0046】請求項5に記載の発明は、請求項2に記載の信号処理装置において、前記波形処理手段は、前記抽出した成分同士のタイミング差に応じたパルス幅を有するパルス信号を生成することを特徴とする。

【0047】前記波形処理手段では、各差動出力信号で信号変動特性が同一方向性となる成分に基づいてパルス信号を生成するが、信号変動特性が同一方向性となる成分にはずれが生じる。そこで、そのズレを吸収すべく抽出した成分同士のタイミング差に応じたパルス幅を有するパルス信号を生成することで、差動入力信号に対応するパルス信号を生成する回路を容易に構成することができる。

【0048】請求項6に記載の発明は、請求項2に記載の信号処理装置において、前記生成手段は、双安定回路であることを特徴とする。

【0049】前記生成手段は、差動出力信号からパルス信号を生成するが、差動出力信号の各々が安定的に出力されることが好ましい。そこで、双安定回路を採用することで、差動出力信号に対応しかつ安定的な信号を生成することができる。

【0050】請求項7に記載の発明は、請求項1乃至請求項6の何れか1項に記載の信号処理装置において、前記波形処理手段は、前記生成されたパルス信号のパルス幅を調整する調整手段を含むことを特徴とする。

【0051】生成されるパルス信号は、その回路構成に

10

20

30

40

50

より微少なパルス幅変動が生じることがある。そこで、波形処理手段が、生成されたパルス信号のパルス幅を調整する調整手段を含むことで、電気回路上で生じたパルス幅変動を吸収して、一定したパルス幅信号を生成することができる。

【0052】請求項8に記載の発明は、請求項1乃至請求項7の何れか1項に記載の信号処理装置において、前記差動増幅手段は、前記差動増幅のための動作電流を可変する可変手段を含むことを特徴とする。

【0053】差動増幅手段は、その動作に電流を必要とし、その電流値は回路全体で決定されることがある。そこで、差動増幅のための動作電流を可変する可変手段を含むようにすれば、積極的に作動電流を調整することができる。なお、この場合にあっては、各差動出力信号で信号変動特性が同一方向性となる成分に基づいてパルス信号を生成するので、パルス幅変動が生じることはない。

【0054】請求項9に記載の発明は、請求項1乃至請求項8の何れか1項に記載の信号処理装置において、前記差動増幅手段は、画像形成のためのレーザ駆動信号が前記差動入力信号として入力されることを特徴とする。

【0055】レーザ光源を駆動するには、パルス幅変調などのようにオンオフ（点灯または消灯）を制御する場合がある。この場合、制御信号は、画像データに対応する差動入力信号から生成される。本発明の信号処理装置として、差動増幅手段に、画像形成のためのレーザ駆動信号が差動入力信号として入力されるようにすれば、安定してレーザ光源を駆動することができる。

【0056】請求項10に記載の発明のレーザ駆動装置は、請求項6に記載の信号処理装置を備え、前記生成手段を構成する双安定回路の差動出力信号のうち一方の出力信号に基づいて、画像形成のためのレーザを駆動する駆動手段を含む。

【0057】すなわち、請求項6に記載の信号処理装置を用い、駆動手段が、生成手段を構成する双安定回路の差動出力信号のうち一方の出力信号に基づいて、画像形成のためのレーザを駆動するようにすれば、ロジック回路を簡素化でき、安定してレーザ光源を駆動することができるレーザ駆動装置を提供できる。

【0058】請求項11に記載の発明のレーザ駆動装置は、請求項6に記載の信号処理装置を備え、前記生成手段を構成する双安定回路の差動出力信号に基づいて、画像形成のためのレーザを差動駆動する差動駆動手段を含む。

【0059】レーザ光源を駆動するには、安定したパルス幅のパルス信号が望まれる。そこで、差動駆動手段が、生成手段を構成する双安定回路の差動出力信号に基づいて、画像形成のためのレーザを差動駆動するようにすれば、安定してレーザ光源を駆動することができるレーザ駆動装置を提供できる。

【0060】請求項12に記載の発明のレーザ駆動装置は、面発光レーザを駆動するために、複数の発光部位に対応する数の前記請求項1乃至請求項9の何れか1項に記載の信号処理装置を備えた受信処理回路と、前記パルス信号により面発光レーザの発光の各々を制御するレーザ駆動回路と、を備えている。

【0061】面発光レーザの発光を駆動するには、少なくとも複数の駆動回路が必要であるが、複数の駆動回路を作動させると、各々の回路では駆動信号（変調信号）のデューティ（duty）が維持されないと、濃度とのびを生じることとなり、結果的には画質劣化につながる。そこで、上述のように、同一方向性となる成分、例えば形状が一致する成分や対応箇所、信号の立ち上がり成分や立ち下がり成分を特定すれば、入力された差動入力信号に対応するパルス信号を生成することができ、デューティは維持される。これにより、安定して面発光レーザの発光の各々を鋭角に制御することができる。

【0062】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態の一例を詳細に説明する。本実施の形態は、面発光用レーザ駆動回路に本発明を適用したものである。

【0063】まず、本発明が適用可能なLVD S受信回路10について説明する。

【0064】図1に示すように、LVD S受信回路10は、差動信号が入力される差動比較器12を備えている。また、LVD S受信回路10には動作電流を設定するための電流制御回路14が接続されており、この電流制御回路14には動作電流設定のための設定信号が入力される。差動比較器12の差動出力信号のうちプラス側の信号は、+側出力回路16及び遷移出力回路20を介して双安定回路24のプラス入力側に接続される。一方、差動比較器12の差動出力信号のうちマイナス側の信号は、-側出力回路18及び遷移出力回路22を介して双安定回路24のマイナス入力側に接続される。双安定回路24のプラス出力側は、パルス幅調整回路26に接続され、パルス幅調整回路26はLVD S受信回路10の出力信号を出力する。なお、双安定回路24のマイナス出力側はパルス幅調整回路28に接続される。

【0065】上記差動比較器12及び電流制御回路14はLVD Sレシーバ30に相当し、+側出力回路16、-側出力回路18、遷移出力回路20、遷移出力回路22、双安定回路24、パルス幅調整回路26、パルス幅調整回路28は、波形処理回路32に相当する。

【0066】なお、上記LVD Sレシーバ30は、本発明の差動増幅手段に相当し、波形処理回路32は、本発明の波形処理手段に相当する。また、上記遷移出力回路20、22は、本発明の抽出手段に相当し、双安定回路24は本発明の生成手段に相当する。さらに本発明の複数の受信回路は、上記+側出力回路16、-側出力回路18に相当する。さらにまた、上記電流制御回路14

は、本発明の可変手段に相当し、パルス幅調整回路26、28は本発明の調整手段に相当する。

【0067】また、図2での詳細を後述する回路の素子との対応は、差動比較器12がトランジスタM1、M2、M3、M4、M5、M6、M7、M8から構成される回路に相当する。＋側出力回路16は、トランジスタM13、M9、M14、M10から構成される回路に相当する。－側出力回路18は、トランジスタM15、M11、M16、M12から構成される回路に相当する。遷移出力回路20は、ゲートG10、G11、G12、G13、G14、G15から構成される回路に相当する。遷移出力回路22は、ゲートG17、G18、G19、G20、G21、G22から構成される回路に相当する。双安定回路24は、ゲートG23、G27から構成される回路に相当する。パルス幅調整回路26は、ゲートG24、G25、G26から構成される回路に相当する。パルス幅調整回路28は、ゲートG28、G29、G30から構成される回路に相当する。

【0068】次に、LVDS受信回路10を詳細に説明する。

【0069】図2は、LVDS受信回路10の詳細回路を示すもので、図17に示す回路を応用した回路である。また、図3はLVDS受信回路10におけるトランジスタM1を流れる差動電流が0.6mAの場合の各種の信号波形を示し、図4は2mAの場合の各種の信号波形を示している。この電流源の設定は図2の電流源BIへの設定電圧を変更することで実施する。

【0070】図2では、差動入力信号の一方が差動入力端子IN+に与えられ、差動入力信号の他方が差動入力端子IN-に与えられる。LVDSの高速インターフェース規格で使用されるドライバ回路では、一定の信号電流の電流経路を切り換えることにより信号を伝達しており、伝送路を流れる信号電流が、伝送路とのインピーダンス整合を取るためにレシーバ回路となる差動比較器の差動入力端子間IN+、IN-に接続された終端抵抗R1、R2を流れることによって生じる電圧降下により差動入力信号が差動入力端子IN+、IN-に与えられる。

【0071】このようにして差動入力端子IN+、IN-に与えられた差動入力信号は、その一方が入力段を構成するPチャネルのトランジスタM3のゲート端子に与えられ、他方がトランジスタM3と差動対の入力段を構成するPチャネルのトランジスタM4のゲート端子に与えられる。差動入力信号の内、電位の高い差動入力信号が与えられたトランジスタM3又はM4の相互コンダクタンスは、電位の低い差動入力信号が与えられたトランジスタM3又はM4の相互コンダクタンスよりも小さくなる。これにより、定電流源として機能するPチャネルのトランジスタM1から与えられている定電流は相互コンダクタンスの大きいトランジスタM3又はM4を介し

て流れる。

【0072】差動対のトランジスタM3又はM4を流れる電流は、トランジスタM3のドレイン端子とトランジスタM4のドレイン端子にクロスカップルされて接続され、差動対のトランジスタM3、M4の負荷回路となるカレントミラー回路のNチャネルのトランジスタM5、M7の共通接続されたゲート端子又はNチャネルのトランジスタM8、M6の共通接続されたゲート端子に与えられ、電流が流れ込むゲート端子の電位がハイレベルとなり、電流が流れ込まないゲート端子の電位がローレベルとなる。この電位差は、入力された差動入力信号の電位差よりも大きくなる。

【0073】この電位差は、トランジスタM13とトランジスタM9が高位電源と低位電源との間に直列接続され、トランジスタM13に接続されたトランジスタM14とトランジスタM10が高位電源と低位電源との間に直列接続されて直列接続点を差動比較器の出力端子とするプッシュプル方式の出力回路によって電源電位と接地電位の振幅の出力信号に増幅される。

【0074】すなわち、差動入力端子IN+に与えられた差動入力信号の電位>差動入力端子IN-に与えられた差動入力信号の電位である場合には、トランジスタM3のドレイン端子の電位がハイレベル、トランジスタM4のドレイン端子の電位がローレベルとなり、出力回路の出力端子OUTPには電源電位をハイレベルとする差動比較器の出力信号が得られる。また、差動入力端子IN+に与えられた差動入力信号の電位<差動入力端子IN-に与えられた差動入力信号の電位である場合には、トランジスタM3のドレイン端子の電位がローレベル、トランジスタM4の電位がハイレベルとなり、出力回路の出力端子OUTPには接地電位をローレベルとする差動比較器の出力信号が得られる。

【0075】本実施の形態では、トランジスタM2はM1の電流源を駆動するためゲート電圧発生用に設けられている。すなわち、トランジスタM2のゲートがトランジスタM1のゲートに接続されると共に、トランジスタM2のソースがトランジスタM1のソースに接続される。トランジスタM2のドレインは、トランジスタM1のゲートすなわち電流源BIに接続される。

【0076】また、本実施の形態のLVDS受信回路10は、トランジスタM11、M15、M12、M16を備えている。トランジスタM11、M15、M12、M16は、図18のトランジスタM109、M113、M110、M114と対称回路を構成、すなわち本実施の形態のトランジスタM9、M13、M10、M14と対称回路を構成する。トランジスタM11、M12のソースは低位電源に接続され、トランジスタM15、M16のソースは高位電源に接続される。トランジスタM11及びトランジスタM15のドレインは共通に接続される。トランジスタM12及びトランジスタM16のドレ

インは共通に接続され、出力端子OUTMに至る。なお、トランジスタM9及びトランジスタM13のドレインは共通に接続され、出力端子OUTPに至る。すなわち、本実施の形態では、差動出力に対して、各々に対応する出力回路を対称に独立して設けている。なお、出力回路は、トランジスタ構成のみではなく、配置においても極力対称性（中心対称構造）を維持することが好ましい。

【0077】出力端子OUTPは、ゲートG9、接続点OUTP1、ゲートG10、G11、G12、G13、G14、G15を介して、ゲートG23の一方の入力側に接続される。ゲートG23の他方の入力側はゲートG27の出力側に接続される。ゲートG23の出力側は、ゲートG27の一方の入力側に接続される。また、ゲートG27の他方の入力側は、出力端子OUTMにゲートG16、接続点OUTM1、ゲートG17、G18、G19、G20、G21、G22を介して接続される。また、ゲートG23の出力側は、ゲートG26の一方の入力側に接続されかつ、ゲートG24、G25を介してゲートG26の他方の入力側に接続される。また、ゲートG27の出力側は、ゲートG28、G29を介してゲートG30の一方の入力側に接続されかつ、ゲートG30の他方の入力側に接続される。ゲートG15の出力側には、接続点OUTP11が含まれ、ゲートG22の出力側には、接続点OUTM11が含まれる。ゲートG23の出力側には、接続点OUTP2が含まれ、ゲートG27の出力側には、接続点OUTM2が含まれる。ゲートG26の出力側は出力端子OUTP5に接続され、ゲートG30の出力側は出力端子OUTM5に接続される。

【0078】上記構成によるLVDS受信回路10の各箇所の信号特性を図3及び図4に示した。図3はLVDS受信回路10におけるトランジスタM1を流れる差動電流が0.6mAの場合の各種の信号波形を示し、図4は2mAの場合の各種の信号波形を示している。図3

(A)、図4(A)は、入力される差動信号の信号波形であり、トランジスタM4のゲートに入力される振幅200mVの信号(INM)、トランジスタM3のゲートに入力される振幅200mVの信号(INP)である。従って、図3(B)、図4(B)に示すように、トランジスタM9のドレインとM13のドレインが接続された出力端子OUTPの出力と反転した信号がトランジスタM12とM16のドレイン接続点の出力端子OUTMから出力される。このため、これらの出力信号は互いに反転した出力となる。

【0079】ここで、トランジスタM1に流す差動電流が0.6mAと小さい図3(B)に示す信号特性の方がその立ち上がり、立下りが遅いことが理解される。このように差動段の電流で立ち上がりが変化するが、その変化量が完全に一致しないため、デューティにずれを生じる。

【0080】図3(C)、図4(C)には、出力端子OUTPの出力信号についてゲートG9を介した信号（接続点OUTP1における信号）を示した。同様に、図3(D)、図4(D)には、出力端子OUTMの出力信号についてゲートG16を介した信号（接続点OUTM1における信号）を示した。また、図3(E)、図4

(E)には、ゲートG15の出力信号（接続点OUTP11における信号）を示し、図3(F)、図4(F)には、ゲートG22の出力信号（接続点OUTM11における信号）を示した。さらに、図3(G)、図4

(G)には、ゲートG23の出力信号（接続点OUTP2における信号）を示し、図3(H)、図4(H)には、ゲートG27の出力信号（接続点OUTM2における信号）を示した。さらにまた、図3(I)、図4

(I)には、ゲートG26の出力信号（出力端子OUTP5における信号）を示し、図3(J)、図4(J)には、ゲートG30の出力信号（出力端子OUTM5における信号）を示した。

【0081】出力端子OUTPの出力信号は、ゲートG9で波形整形されたのちゲートG10～G15で構成される立ち上がり部分の抽出回路（パルス幅調整回路26）に入力される。出力端子OUTMの出力信号はゲートG16で波形整形されたのちゲートG17～G22で構成される立ち上がり部分の抽出回路（パルス幅調整回路28）に入力される。この場合、図3(E)、図4

(E)に示すように、ゲートG10乃至G15により生成される信号（接続点OUTP11の信号）は、図3

(C)、図4(C)に示すゲートG9の出力信号（接続点OUTP1の信号）の立ち上がり部分に対応する短いパルス信号が生成される。同様に、図3(F)、図4(F)に示すように、ゲートG17乃至G22により生成される信号（接続点OUTM11の信号）は、図3(D)、図4(D)に示すゲートG16の出力信号（接続点OUTM1の信号）の立ち上がり部分に対応する短いパルスが生成される。

【0082】これらの図3(E)、(F)及び図4

(E)、(F)に示す微分パルス信号がゲートG23、G27からなるSRフリップフロップ回路に入力され、交互にパルスが入力されるごとに、フリップフロップが反転し、相補信号として、ゲートG23の出力信号（接続点OUTP2の信号）、ゲートG27の出力信号（接続点OUTM2の信号）が出力される。さらに、フリップフロップの相補パルスはゲートG23、G27の一方のパルスが他方に入力されておりゲートの伝播遅延分デューティがずれ、デューティが入力に対し大きくなるため、それを補うようにゲートG24、G25、G26からなる回路でパルス幅を2ゲート分の遅延時間分だけ短くする作動となる回路を通過し、最終的にゲートG26からの出力信号（出力端子OUTP5の信号）、ゲートG30からの出力信号（出力端子OUTM5）が変調信

号として出力される。

【0083】ここで、NANDゲートG23、G27を用い、双安定回路を構成したため、両方の入力Lowとならないように遷移抽出回路を必要としたが、元々遷移のみで反転する双安定回路を用いたり入力が両方Lowの時には反転しないようにされた双安定回路であれば遷移抽出回路は不要となる。

【0084】これによって、一般的なLVDS受信回路の出力波形（接続点OUTP1の信号波形）が入力パルスのデューティ50%に対してずれているのに対し、本発明のLVDS受信回路10を通過したあとの出力波形（出力端子OUTP5の信号波形）はデューティが入力パルスと同一の50%となる。

【0085】なお、実際にレーザを駆動する場合にはレーザの閾値が存在するためレーザ駆動電流を制御するトランジスタへのゲート信号が立ち上がりの最終段階で設定光量に達する。このことを考慮しゲートG24、G25、G26からなる波形整形回路を通過させずに、そのまま出力させて、1ゲート分デューティが長いパルスで変調した場合の方が発光波形で見た場合には正確なこともあり、そのような場合にはパルス幅を短くするための波形整形回路を省くこともできる。

【0086】次に、上記LVDS受信回路を36chの面発光用レーザの各々を駆動するための受信回路に適用した場合を説明する。

【0087】図5には、36chの面発光用レーザの各々を駆動するための回路をブロック図で示し、図6には定電圧駆動方式による36chの面発光用レーザの駆動回路40を示した。LVDS受信回路10は、各チャンネル毎に設けられ、LVDSレシーバ30と、LVDSレシーバ30の差動出力を受けて不平衡出力信号を出力する波形処理回路32から構成される。なお、図6に示すように、チャンネル1～チャンネル36の内部構造は、同一である。

【0088】図5に示すように、LVDS受信回路10は36chのチャンネル毎に、LVDSレシーバ30及び波形処理回路32を備えている。チャンネル1では、LVDSレシーバ30には、差動信号ch1±の入力がなされ、その差動出力信号は、波形処理回路32へ入力され、得られる出力信号ch1dがレーザ駆動回路40へ入力される。同様に、チャンネルj（ $2 \leq j \leq 36$ ）では、LVDSレシーバ30に差動信号chj±の入力がなされ、その差動出力信号は、波形処理回路32へ入力され、出力信号chjdが得られる。さらに、出力信号chjdは、レーザ駆動信号発生回路において、自動光量制御（APC）時に、順次各レーザ光源を点灯するための信号を発生するAPC信号圧制回路からの信号と合成されて、SWd-1～SWd-36、SWi-1～SWi-36、SWc-1～SWc-36、SWe-1～SWe-36、の各信号が生成されて、図6の各スイ

ッチ制御信号として印加される。

【0089】なお、レーザ駆動信号発生回路40には、APCクロック信号及びAPCスタート信号が入力される、自動光量制御（APC）のためのAPC信号発生回路41が接続されている。

【0090】この各チャンネルの個別回路を図6を用いて説明する。スイッチSWiはAPC時とレーザ変調時にレーザを点灯（ON）するときに接続状態（ON）となる。スイッチSWdはAPC時とレーザ変調時にレーザを点灯するとき、アンプamp側に切り替わる。スイッチSWshpとスイッチSWsh、SWp、SWnは連動してAPC時にON、ON、OFF、OFFとなる。このうちスイッチSWiはレーザを、変調時にレーザ光源を点灯するときにもONとなる。スイッチSWcは変調時にレーザを点灯するときにONとなる。

【0091】チャンネル共通の回路として、スイッチSWfb1～SWfb36とコンデンサCfb1～Cfb36は、APC時に各チャンネルのAPCにあわせてONとなり、例えばch1がAPCのときにはスイッチSWfb1がONとなってコンデンサCfb1の両端がアンプA2の反転入力と出力に接続される。電源Vbiasはレーザが消灯時にレーザに印加する電圧を決定して、変調速度を上げるため、レーザ光源が発光しない条件でなるべく高い電圧に設定されているが、通常は複数のレーザ光源のうち最も低いレーザ発振閾値電圧を基準に、これよりもわずかに低い電圧に設定されている。ここでは、電源Vbiasを共通にしたがレーザ光源の発振閾値電圧に大きなばらつきがある場合には電源Vbiasを複数設けて個々になるべく最適に近い電圧を印加することもできる。また電源Vrefは目標とするレーザ出力に対応する受光器出力電圧（アンプA5の出力）を設定する。

【0092】なお、以降の説明ではスイッチSWdは図の状態はOFF、アンプampに接続された状態がONとする。また、スイッチSW7は図の状態がOFFとする。スイッチSWcはレーザ光源（LD）がONしたときに速やかにレーザ光源のアノード端子が規定電位となるように同時にONする。更にレーザ光源をOFFするときはコンデンサCldにスイッチSWeをONすることでレーザ光源をONした時のレーザアノード電圧を充電している。

【0093】図7は図5のタイムチャートを示したものである。差動入力の信号ch1+～ch36+、ch1-～ch36-は不平衡出力ch1d～ch36dに変換される。不平衡出力ch1d～ch36dを元にスイッチSWd～SWd36、SWi～SWi36の信号が生成される。

【0094】図7において電源投入後（PowerON）、時間T0でスイッチSWfb1、SW2、ch1のSWsh、SWi、SWshp、SWdがON、

スイッチSWp, SWn, SWc, SweがOFFとなる。このとき電流IsがスイッチSWiを経由してレーザ光源LD-1に流れて点灯、レーザ光を受光したフォトダイオードPDに電流が流れ抵抗R6により電圧に変換され、アンプA5で増幅されてスイッチSW2を経由し、アンプA2の反転入力に入力される。この入力信号について、アンプA2で電源Vrefの電圧との差を増幅し抵抗Rosにより電源Vbiasとで分圧し、Bufferを経由しch1のアンプampに、スイッチSWshを経由して入力される。最終的にはアンプA2への受光器出力が電源Vrefの電圧と一致して収束する。その後、スイッチSWfb1、SWshp1、SWsh1をOFFするとそのときのそれぞれの制御電圧が直列に接続されているコンデンサに保持される。このときコンデンサCfb1, Cp, Cshの各々に保持される電圧は各々ch1でのアンプA2の出力電圧、レーザへの駆動電流を設定する制御電圧、そのときのレーザ端子電圧となる。

【0095】以上の動作をレーザ光源の数だけ繰り返して全部のch制御回路の制御電圧とアンプA2の反転入力と出力端子間に接続されたコンデンサ1～36に制御電圧を保持する。そして36chのAPCを終了したらスイッチSW2をOFFにすると共に、スイッチSWfb1をONにしてch1での制御電圧をアンプA2の出力電圧として次のAPCに備える。

【0096】また、次のAPCまではスイッチSW7をONし、アンプA5の出力を変調期間の間、電源Vrefの電圧値となるようにしておき、次のAPC開始時に受光器出力が定常状態になるのにかかる時間を短縮する。この結果、次にAPCが開始されたときに、先ほどの光量制御時の最終電圧から負帰還制御が行われるため、必ずしも一回の制御で最終電圧まで収束させる必要がない。このことは特にポリゴンをを用いたレーザゼログラフィでは重要で、間欠的に制御を行うことで感光体への不要な露光を防止し感光体の劣化を抑えることができる。アンプA2に接続された抵抗Rosは負帰還のゲインを調整するために入れてあり、安定性と精度が両立できるように設定される。また抵抗Rosの反対側に電源Vbiasが接続されているが、これはレーザ光源の端子電圧がレーザの発振閾値電圧以上で制御されているための処置である。このようにすることで負帰還ループのゲインを小さくしてもBufferへの電圧がレーザ発振閾値電圧以下になり制御不能となることを防止している。

【0097】コンデンサC1dの容量はスイッチSWdがONとなりレーザ光源に電流が流れた瞬間にスイッチSWcをONしてレーザ端子電圧が速やかに本来の駆動電圧となるようにしている。ところが、コンデンサC1dの容量は限られているので容量だけではいずれ端子電圧は低下しレーザ光量も低下する。このためこれを補う

ため、負帰還したアンプampがスイッチSWdを経由して接続することで、これを補償している。従って、コンデンサC1dの容量はアンプampの応答速度から決定される。通常、CMOSオペアンプでは応答するのに1μsec程度が必要なため、1μsecでコンデンサC1dの端子電圧が落ちる程度が許容変動以内となるように設定する。

【0098】具体的にはレーザの駆動電流が1mAであるなら電圧変動は $1/C \times 1\text{mA} \times 1\mu\text{sec} = 1/C \times 10^{-9}$ となる。許容光量変動を2%としレーザの内部抵抗を500Ωとし、光量許容変動に対する電圧変動が10mVと仮定すると、 $C=0.1\mu\text{F}$ が必要となる。しかし、この値は駆動回路を1チップのICに収めようとすると大きすぎる。

【0099】また、このようなコンデンサを例えば外部に接続するなどして実現できたとしても、アンプampの出力電位は負荷変動により内部の制御電位が変化するため、スイッチSWdがONした瞬間にレーザの端子電圧は変動する。この対策としてスイッチSWdと同期してレーザの駆動電流IsをスイッチSWsでレーザ端子電圧に流し込む。このようにするとアンプampからの出力電流変動はスイッチSWdの状態に関わらず小さく押さえられるためスイッチSWdがONした際の過渡的な電圧変動を防止することができる。

【0100】さらに、このようにするとコンデンサC1dがレーザ端子電圧を維持する時間は電流源Isがレーザ端子に電流を流し始める時間までとなる。カレントミラーで作る電流源Isはオペアンプの応答性に比べはるかに早いのでそれだけ容量C1dへの負担が小さくなる結果容量を小さくすることが可能である。また、レーザ駆動電流が電流Isで供給されるためSWdやSWcのスイッチのON抵抗による電圧変動は無視できるレベルに小さくすることができる。

【0101】図7において、APCを繰り返し実施した後、制御電圧A2OUTが収束した後に、LVDSレシーバに入力されたch+, ch-を基にして生成された、SWd-1～SWd-36、SWi-1～SWi-36、SWc-1～SWc-36、Swe-1～Swe-36、によって、図6の各チャンネルchの各スイッチが制御されてレーザ光源がLVDSに入力された信号に応じて点灯する。

【0102】図8は図6のch1(ch2～ch36)の詳細回路例である。アンプampはトランジスタM14, M17, M18, M16, M15で構成されるシングルステージのアンプである。IpはトランジスタM6, InはトランジスタM9に対応し、その間にあるスイッチSWp, SWnはそれぞれスイッチSWp, SWnである。このなかでトランジスタM6とM9がアンプampの2ndステージを構成し、2つでオペアンプとなる。この2ndステージはスイッチSWp, SWnで

制御されている。

【0103】スイッチSWdはトランジスタM14、M15で構成されオペアンプの出力とバイアスVbiasとを切り替えてレーザ光源に電圧を印加する。スイッチSWcはスイッチSWcでコンデンサC1dを接断する。コンデンサC1dはさらにトランジスタM13でオペアンプ出力に接断されているが、これはレーザ光源への駆動電圧がOFFのときはオペアンプ出力がコンデンサC1dを充電し、ONになった瞬間にそれまで充電されていた電圧でレーザの電位を一瞬で駆動電位にまで上昇されるようにしている。スイッチSWiはM10、M30で構成されレーザがONになった瞬間にレーザ駆動電流に等しい電流をレーザに流し込み、それ以外のときは相補出力に出力する。相補出力にすることでレーザ光源のON、OFFとで消費電流を変化させないようにし電源変動を防止している。

【0104】電流Isはそのときの駆動電流源でありトランジスタM12で構成される。トランジスタM12のゲート電位はコンデンサCpによりサンプルホールドされ、さらにデカップルされることでスイッチSWiからのフィードスルーで電流が変動するのを抑えている。このゲート電位はスイッチSWshpを経由して充電されるがその電位はアンプamp出力をトランジスタM1で吸い込み電流にし、その出力電流をトランジスタM19でPMOS側のゲート電位に変換して生成している。

【0105】次に、本実施の形態のLVDS受信回路10と同様の従来技術における回路(図9～図11参照)との比較した結果を説明する。図12は、図2の回路を基にして本発明をレーザ駆動に適用した場合である。図12は、図9のDRV__OUTMBとDRV__OUTPB以降同一構成である。図12では、DRV__OUTMBは図2でのOUTM5からインバータ4段の波形整形回路51で波形整形され得られる。また、DRV__OUTPBは図2でのOUTM5からインバータ5段の波形整形回路51で波形整形される。ここでは、図2での出力OUTM5一本から差動スイッチ63の制御信号を生成したが、これは一本にした方が例えばレーザを強制的に点灯させたり、逆に点灯を禁止するなどの処理を一本の信号について処理すれば済み、ロジック回路を簡素化できるメリットがあるためである。しかし、このような処理が不要な場合には、図12の点線で示したように、OUTP5の出力をそのまま4段のインバータ52を通してDRV__OUTPBとしてもよい。このようにしても、図2の双安定回路24によって図2の入力INM、INPに入力される差動信号のパルス幅と特開平11-208017号公報の技術で差動出力を双安定回路を通さずにそのままレーザを駆動した場合に生じたようなパルス幅が入力パルスと異なるような問題は生じない。図12の回路では、相補信号を一旦1本の信号にして再度相補信号を生成するものである。図13は、差動段電流

を2mAにした場合を示し、図14は0.6mAにした場合を示している。

【0106】図13(A)、図14(A)は、入力される差動信号の信号波形であり(図2のINM、INP)、図13(B)、図14(B)は、出力端子OUTPの出力と出力端子OUTM(図2)から出力される信号波形である。図13(C)、図14(C)は、ゲートを介した出力端子OUTPの出力信号(図2の接続点OUTP11における信号)を示し、図13(D)、図14(D)は、ゲートを介した出力端子OUTMの出力信号(図2の接続点OUTM11における信号)を示した。また、図13(E)、図14(E)は、図2のゲートG24の出力信号を示し、図13(F)、図14(F)には、差動電流スイッチからの一方の出力信号(図12のDRV__OUTPC)を示した。さらに、図13(G)、図14(G)には、差動電流スイッチからの他方の出力信号(図12のDRV__OUTMC)を示した。図13(H)、図14(H)には、レーザに流すための駆動電流の波形を示し、図13(I)、図14(I)には、レーザから出力されるレーザビームの出力特性(フォトダイオードの検出電流信号)を示した。

【0107】図13に示すように、時刻taでは立ち上がり及び立ち下がりが一致しており、波形に歪みが生じることはない。また、図14に示すように、時刻tbでは立ち上がり及び立ち下がりが差動段の電流に依存することなく一致しており、波形に歪みが生じることはない。このように、図13のLVDSレシーバ差動段電流を2mAにしても図14の0.6mAにしても最終的には得られるレーザ光源の発光波形V(vpout)は入力パルスのデューティ50%にほぼ一致している。このことから、本実施の形態では、差動段の電流に依存することなく、波形に歪みが生ぜず、安定したデューティの信号を生成することができる。

【0108】このように、本実施の形態では、LVDS受信回路を内蔵するレーザ駆動回路、例えばレーザ駆動ICにおいて、用途に合わせLVDS受信回路の応答性を変えて消費電流を減らした場合にもLVDSで与えられるパルス幅とLVDS受信回路でそれを増幅し実際のレーザ駆動パルスとした際のパルス幅とが正確に一致するため濃度の変動だけでなくグラデーションでの濃度とびを防止することができる。

【0109】

【発明の効果】以上説明したように本発明によれば、差動増幅手段において差動入力信号を差動増幅しかつ相補性を維持しつつ差動出力信号を出力し、波形処理手段において差動出力信号の各々について信号変動特性が同一方向性となる成分を抽出した成分に基づいてパルス信号を生成するので、作動電流に拘わらず安定したパルス幅のパルス信号を生成することができる、という効果がある。

【図面の簡単な説明】

【図1】 本発明の実施の形態にかかる、L V D S 受信回路を示すブロック図である。

【図2】 本発明の実施の形態にかかる、L V D S 受信回路の詳細を示す回路図である。

【図3】 L V D S 受信回路の駆動波形（差動段電流0.6mA）を示すタイミングチャートである。

【図4】 L V D S 受信回路の駆動波形（差動段電流2mA）を示すタイミングチャートである。

【図5】 本実施の形態にかかる、36chの面発光用レーザの各々を駆動するための回路を示すブロック図である。

【図6】 定電圧駆動方式による36chの面発光用レーザの駆動回路を示す回路図である。

【図7】 図5における信号の流れを示すタイムチャートである。

【図8】 図6に示した駆動回路におけるch1の詳細を示す回路図である。

【図9】 本実施の形態のL V D S 受信回路と比較するための先行技術の回路図である。

【図10】 図9に示した先行技術の回路における駆動波形（バッファ電流1mA）を示すタイムチャートである。

【図11】 図9に示した先行技術の回路における駆動波形（バッファ電流0.6mA）を示すタイミングチャートである。

【図12】 図9に示す先行技術と比較するための本実施の形態を適用したL V D S 受信回路の回路図である。

【図13】 図12のL V D S 受信回路の駆動波形（差動段電流2mA）を示すタイミングチャートである。

【図14】 図12のL V D S 受信回路の駆動波形（差動段電流0.6mA）を示すタイミングチャートである。

【図15】 従来のL V D S の受信側の回路を概念的に示したブロック図である。

【図16】 差動アンプの差動段電流を外部から制御可能にするプログラマブルオペアンプの構成を示す線図で*

*ある。

【図17】 従来技術のL V D S 用受信回路の構成を示す回路図である。

【図18】 従来技術のL V D S 用受信回路の詳細な構成を示す回路図である。

【図19】 従来技術のL V D S 受信回路の駆動波形（差動段電流0.6mA）を示すタイミングチャートである。

【図20】 従来技術のL V D S 受信回路の駆動波形（差動段電流2mA）を示すタイミングチャートである。

【図21】 濃度が薄い場合で、立ち上がりまたは立下りが半ドット分遅い場合のレーザ露光状態を説明するための説明図である。

【図22】 濃度がベタ黒から薄くなっていく場合で、図21と同様に立ち上がりまたは立下りが半ドット分遅い場合のレーザ露光状態を説明するための説明図である。

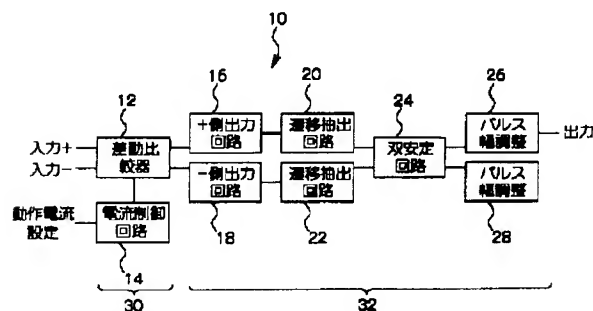
【図23】 変調パルスの立ち上がりまたは立下りが遅い場合に濃度に与える影響を表す特性図である。

【図24】 濃度が薄い場合に、半ドット分のパルス幅でレーザ変調できない場合に次の露光で回避することを説明するための説明図である。

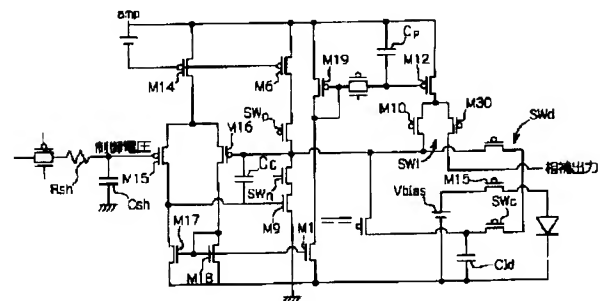
【符号の説明】

- 10 L V D S 受信回路
- 12 差動比較器
- 14 電流制御回路
- 16 +側出力回路
- 18 -側出力回路
- 20 遷移出力回路
- 22 遷移出力回路
- 24 双安定回路
- 26 パルス幅調整回路
- 28 パルス幅調整回路
- 30 レシーバ
- 32 波形処理回路
- 40 レーザ駆動回路

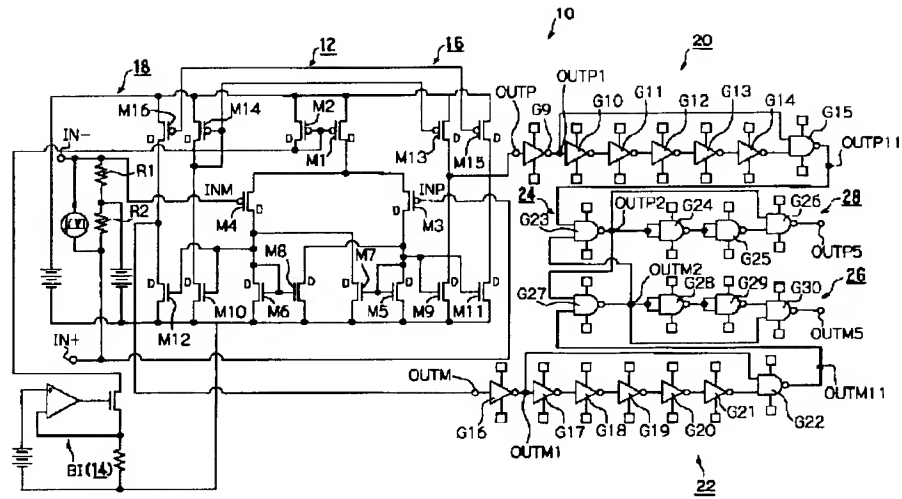
【図1】



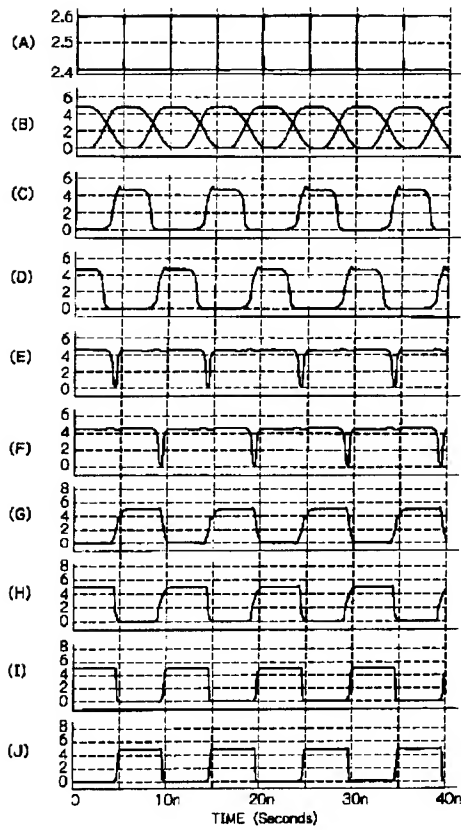
【図8】



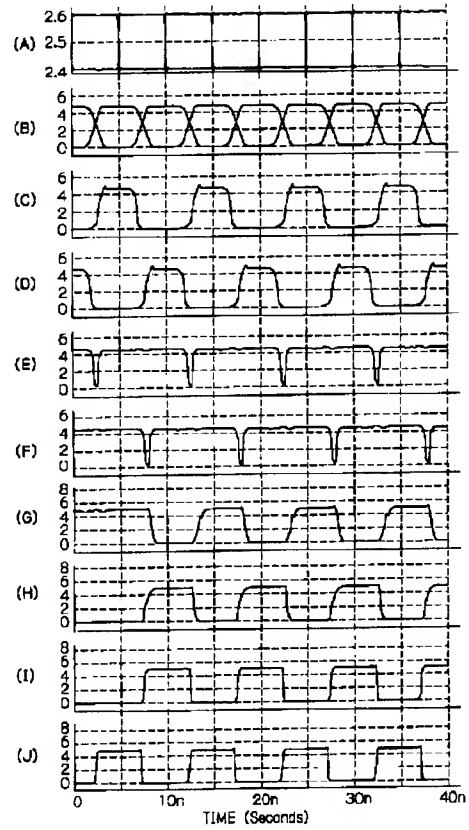
【図2】



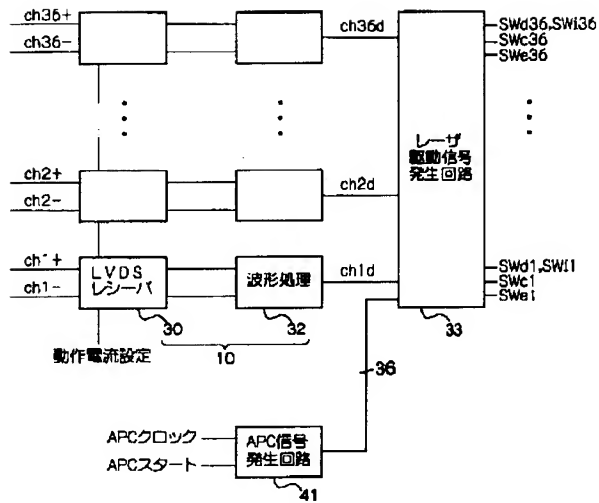
【図3】



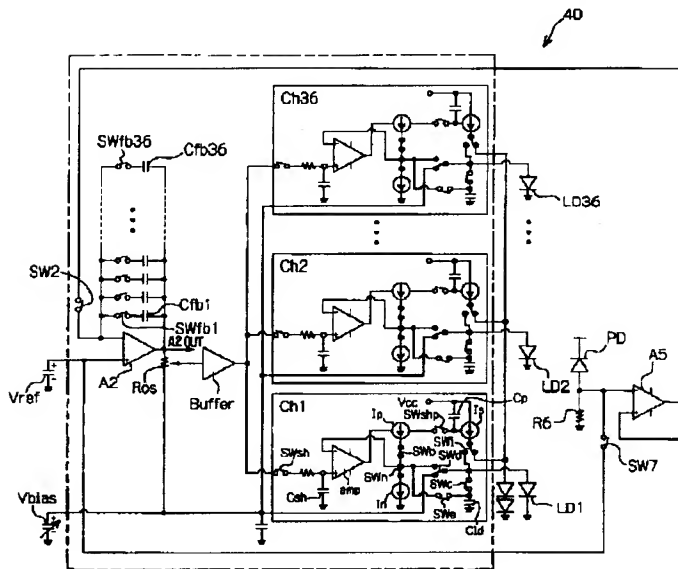
【図4】



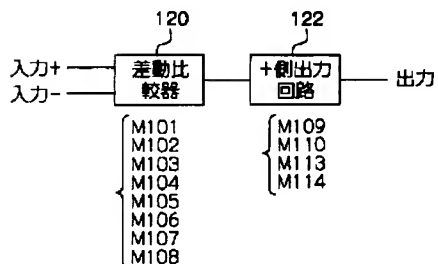
【図5】



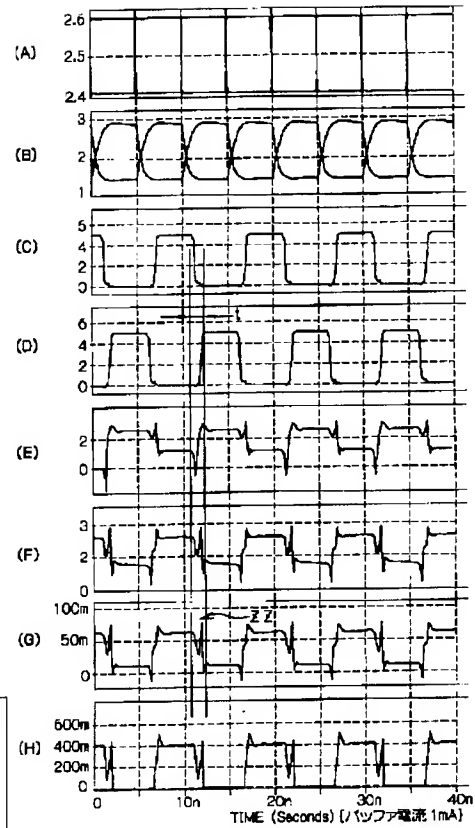
【図6】



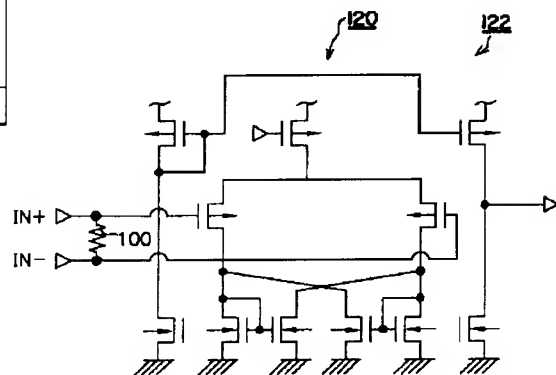
【図15】



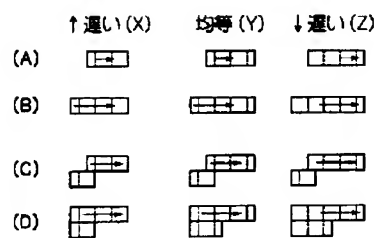
【図10】



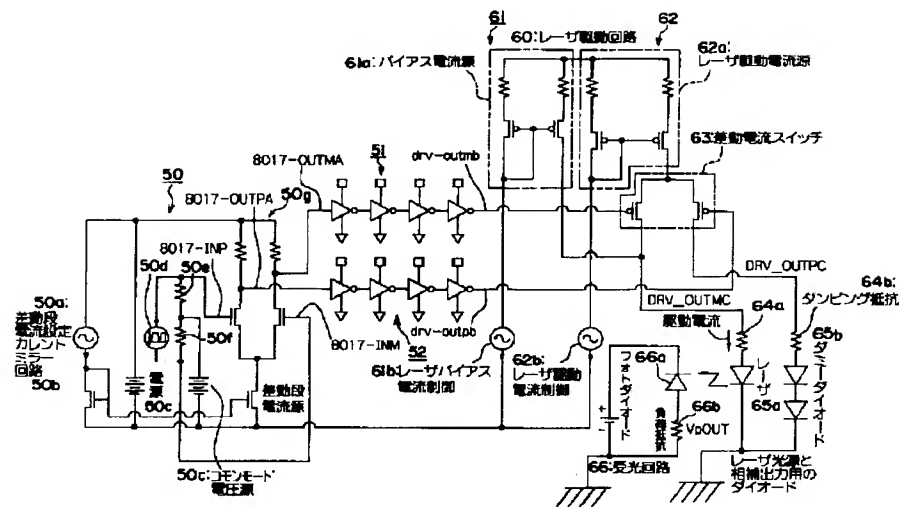
【図17】



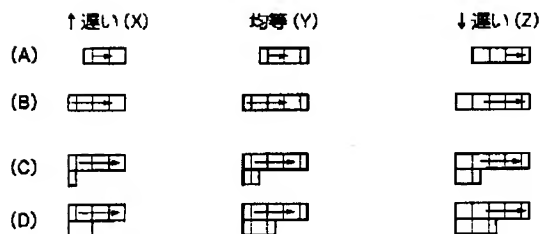
【図 2 4】



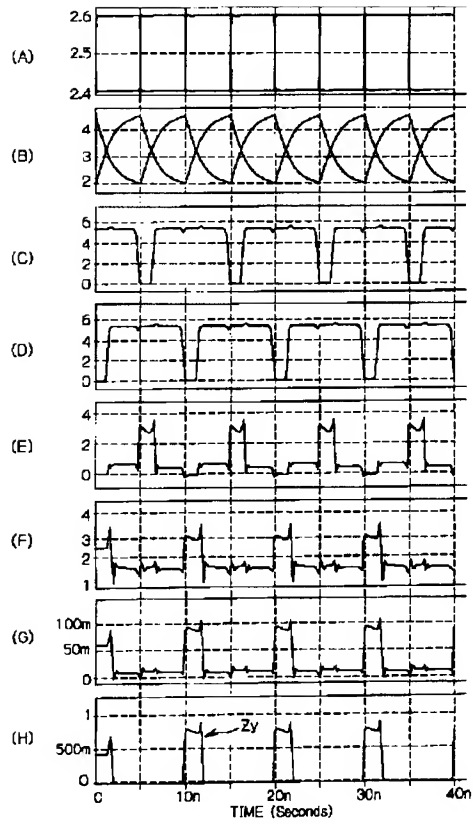
【图9】



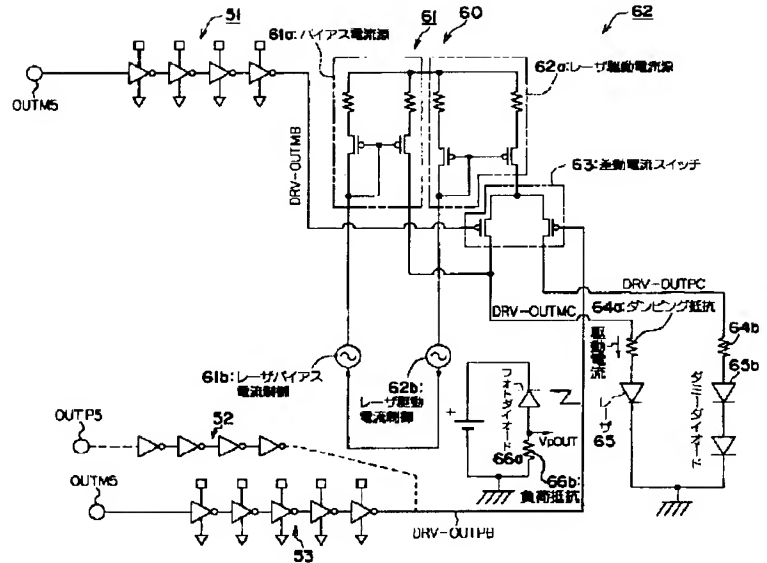
【图 2-1】



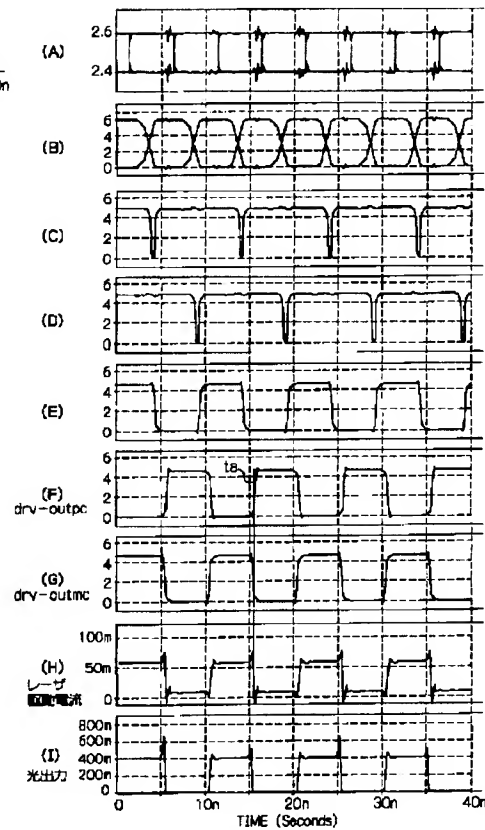
【図11】



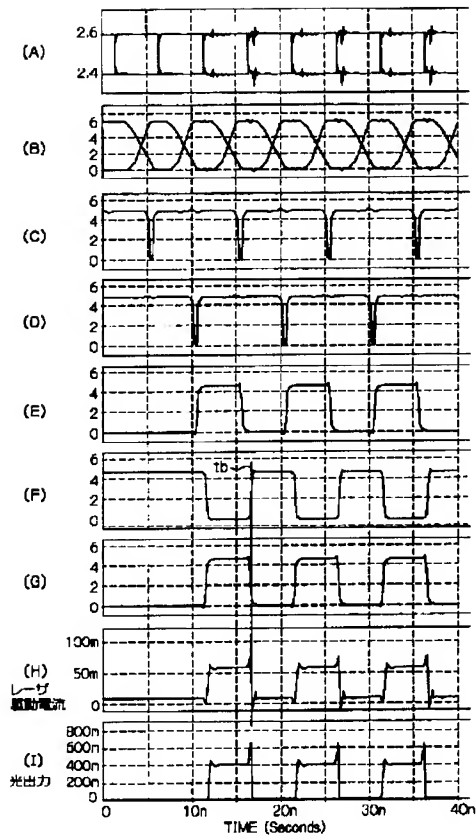
【図12】



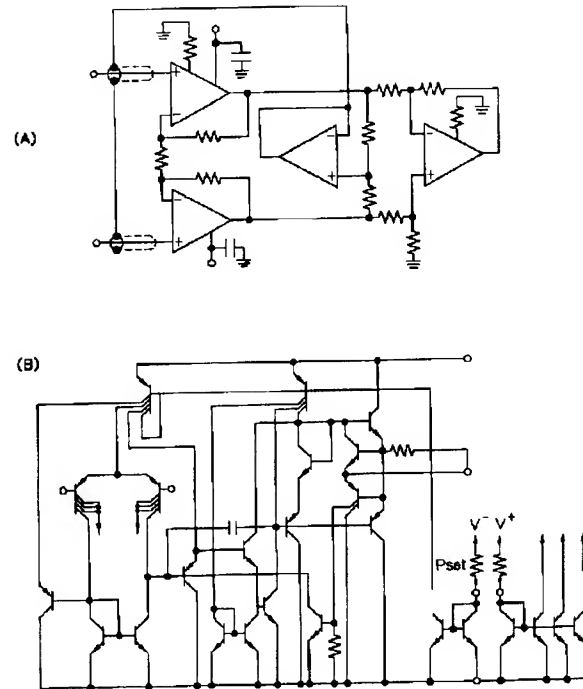
【図13】



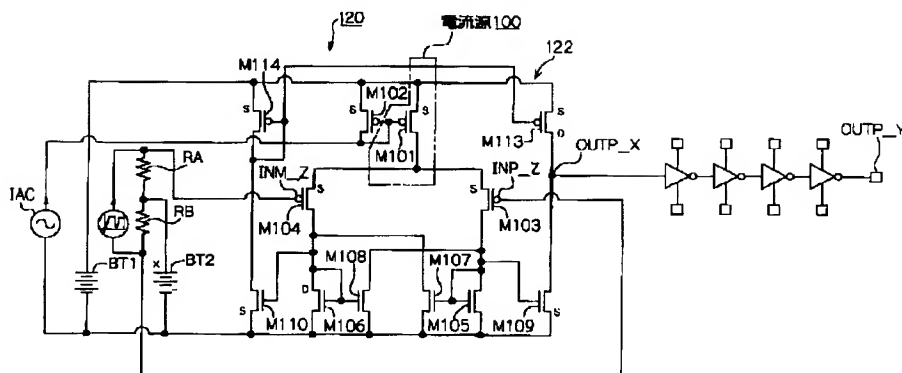
【図14】



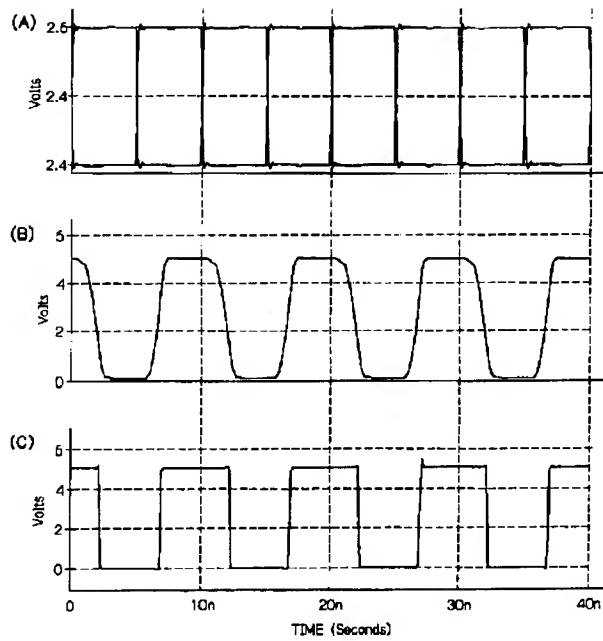
【図16】



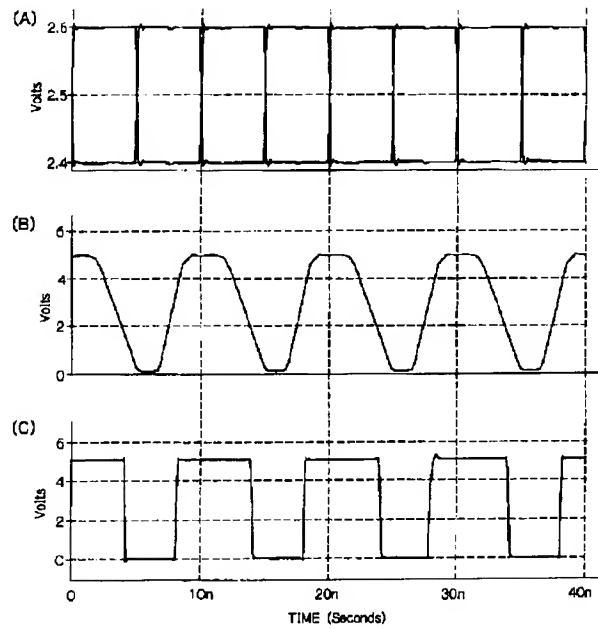
【図18】



【図19】



【図20】



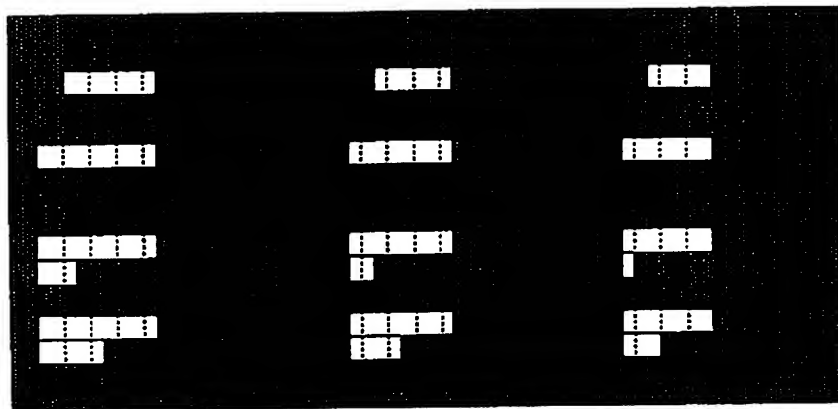
【図22】

レベル3

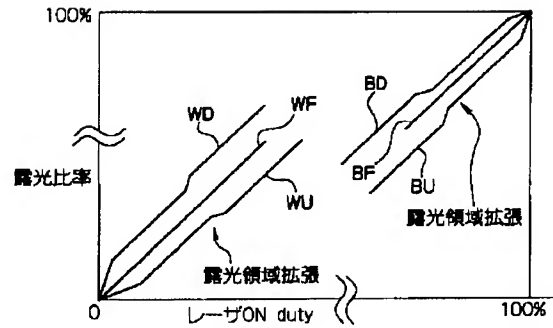
レベル4

レベル5

レベル6



【図23】



フロントページの続き

F ターム(参考) 2C362 AA07 AA16 CA02 CA09
 5F073 EA13 GA04 GA24 GA37
 5J001 AA04 BB00 BB02 BB10 BB12
 BB14 BB19 DD01
 5J066 AA01 AA12 CA00 FA07 HA05
 HA08 HA09 HA17 HA19 HA25
 HA29 HA38 KA04 KA05 KA06
 KA09 KA12 KA17 KA19 KA33
 KA36 KA38 MA11 ND01 ND12
 ND22 ND23 PD02 SA00 TA01
 TA02 TA06